



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **05075895 A**

(43) Date of publication of application: 26.03.93

(51) Int. Cl.

H04N 5/14
H04N 5/52

(21) Application number: 03263054

(71) Applicant: **SONY CORP**

(22) Date of filing: 13.09.91

(72) Inventor: **IKEDA YASUNARI**

(54) AUTOMATIC GAIN ADJUSTMENT CIRCUIT FOR VIDEO SIGNAL

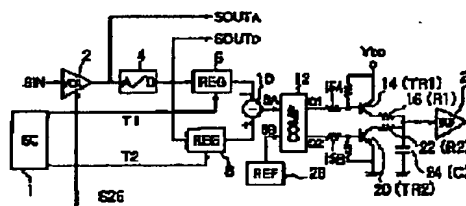
resulting in not affected by drifting.

COPYRIGHT: (C)1993,JPO&Japio

(57) Abstract:

PURPOSE: To provide the accurate and stable automatic gain adjustment circuit for video signal not affected by drifting or the like.

CONSTITUTION: The automatic gain adjustment circuit for video signal is composed of a sampling control circuit 1, a variable gain control amplifier circuit 2, an A/D converter 4, resistors 6 and 8, a signal subtraction circuit 10, a comparison circuit 12, a PNP transistor 14, a resistor 16, an NPN transistor 20, a resistor 22, capacitor 24 and a buffer circuit 26. Two different reference levels of the synchronizing signal SYNC of a video signal are held by the resistors 6 and 8, and the difference is calculated by the signal subtraction circuit 10, and an error voltage is calculated in comparison with the reference voltage from a reference voltage generation circuit 28, and the gain of the variable gain control form amplifier circuit 2 is adjusted by this error difference voltage signal. The processing is performed by a digital circuit other than the variable gain control form amplifier circuit 2.



(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平5-75895

(43)公開日 平成5年(1993)3月26日

(51)Int.Cl.⁵H04N 5/14
5/52

識別記号

庁内整理番号

B 8626-5C
6957-5C

FI

技術表示箇所

審査請求 未請求 請求項の数3(全10頁)

(21)出願番号 特願平3-263054

(22)出願日 平成3年(1991)9月13日

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72)発明者 池田 康成

東京都品川区北品川6丁目7番35号 ソニ
ー株式会社内

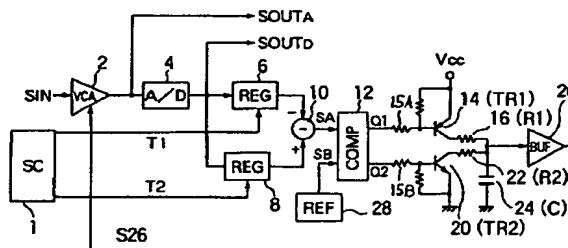
(74)代理人 弁理士 佐藤 隆久

(54)【発明の名称】 映像信号の自動利得調整回路

(57)【要約】

【目的】 ドリフトなどの影響を受けず精度が高く、安定度のよい映像信号の自動利得調整回路を提供する。

【構成】 映像信号の自動利得調整回路はサンプリング制御回路1、可変利得制御形増幅回路2、A/D変換器4、レジスタ6、8、信号減算回路10、比較回路12、PNPトランジスタ14、抵抗器16、NPNトランジスタ20、抵抗器22、コンデンサ24およびバッファ回路26を有している。映像信号の同期信号SYN Cの2つの異なる基準レベルがレジスタ6、8で保持され、その差が信号減算回路10で算出され、比較回路12で基準電圧発生回路28からの基準電圧と比較されて誤差電圧が算出され、この誤差電圧信号で可変利得制御形増幅回路2が利得調整される。可変利得制御形増幅回路2以外デジタル回路で処理しており、ドリフトの影響を受けない。



1

【特許請求の範囲】

【請求項1】 少なくとも2つの異なる基準信号レベルを有する映像信号をデジタル信号に変換するA/D変換器と、

該A/D変換器を上記2つの基準レベル信号が存在するタイミングに応じて動作させるサンプリング制御手段と、

上記2つの基準レベルにおける上記A/D変換器の変換結果に対する所定の基準信号との差を誤差信号として算出する誤差信号算出回路と、

該誤差信号に応じて上記A/D変換器に入力される上記映像信号の利得または映像信号のA/D変換器における変換係数を調整する手段とを有する映像信号の自動利得調整回路。

【請求項2】 上記A/D変換器の前段に可変利得調整増幅回路を有し、

該可変利得調整増幅回路は上記調整手段からの誤差信号に応答してその利得を変化させる請求項1記載の映像信号の自動利得調整回路。

【請求項3】 上記調整手段からの誤差信号が上記A/D変換器の変換基準電圧信号として上記A/D変換器に印加される請求項1記載の映像信号の自動利得調整回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は映像信号（ビデオ信号）の自動利得調整回路に関する。

【0002】

【従来の技術】 ビデオ記録再生装置など映像信号（ビデオ信号）を処理する装置においては、入力された映像信号を信号処理するが、入力された映像信号は劣化している場合があり、その劣化状態を補償した自動利得制御（AGC）が必要となる。図10に従来の映像信号の自動利得調整回路を示す。この映像信号の自動利得調整回路は、可変利得制御増幅回路51、第1のサンプルホールド回路52、第2のサンプルホールド回路54、信号減算回路53、基準電圧源55、演算増幅回路で構成される比較回路56およびサンプリング制御回路57を有する。図11に示す入力映像信号SINが可変利得制御増幅回路51に入力され所定の利得で増幅される。入力映像信号SINは、同期信号SYNC部分と輝度信号Y部分とからなる。

【0003】 可変利得制御増幅回路51からの増幅映像信号は第1のサンプルホールド回路52および第2のサンプルホールド回路54に印加され、それぞれ、サンプリング制御回路57からの第1のサンプリング制御信号T1および第2のサンプリング制御信号T2によってサンプルホールドされる。第1のサンプリング制御信号T1および第2のサンプリング制御信号T2の出力タイミングは、図11に示すように、同期信号SYNCの基

2

底レベルとベデスタルレベルとをホールドするタイミングである。第1のサンプルホールド回路52の出力と第2のサンプルホールド回路54の出力とが信号減算回路53に印加されてそれらの偏差電圧が算出される。この偏差電圧が比較回路56に印加され、基準電圧源55からの基準電圧と比較され、その誤差電圧が可変利得制御増幅回路51に負帰還される。可変利得制御増幅回路51は比較回路56からの誤差電圧に応じて入力映像信号SINを増幅する。同期信号SYNCを規定する基底レベルとベデスタルレベルとは一定であるから、上記回路構成により、もし、入力映像信号SINのレベルに変動が発生しても、レベル変動に依存せず、安定な利得調整を行うことができる。

【0004】

【発明が解決しようとする課題】 上述した映像信号の自動利得調整回路は映像信号をアナログ信号処理する回路である。したがって、一般的にドリフトの影響を受けやすいという問題がある。また信号のピーク・ピークは映像信号の自動利得調整回路の内部と外部とは異なることがあり、その変動が誤差となる。その結果、図10に示した映像信号の自動利得調整回路は精度と安定性に問題がある。さらに第1のサンプルホールド回路52および第2のサンプルホールド回路54の回路構成は複雑である。したがって、本発明は、精度が高く、動作の安定性にすぐれた映像信号の自動利得調整回路を提供することとする。

【0005】

【課題を解決するための手段】 上記問題を解決するため、本発明においては、基本的には、A/D変換器を用いたデジタル信号処理を行ない、デジタル負帰還において誤差要因を吸収して全体として精度が高く安定な自動利得調整を行う。したがって、本発明の映像信号の自動利得調整回路は、少なくとも2つの異なる基準信号レベルを有する映像信号をデジタル信号に変換するA/D変換器と、該A/D変換器を上記2つの基準レベル信号が存在するタイミングに応じて動作させるサンプリング制御手段と、上記2つの基準レベルにおける上記A/D変換器の変換結果に対する所定の基準信号との差を誤差信号として算出する誤差信号算出回路と、該誤差信号に応じて上記A/D変換器に入力される上記映像信号の利得または映像信号のA/D変換器における変換係数を調整する手段とを有する。特定的には、上記A/D変換器の前段に可変利得調整増幅回路を有し、該可変利得調整増幅回路は上記調整手段からの誤差信号に応答してその利得を変化させる。また特定的には、上記調整手段からの誤差信号が上記A/D変換器の変換基準電圧信号として上記A/D変換器に印加される。

【0006】

【作用】 A/D変換器はサンプリング制御手段によってサンプリング動作する。サンプリング制御手段から出力

されるサンプリング動作タイミングは、映像信号に含まれるすくなくとも2つの異なる基準信号レベルに対応して規定される。2つの異なるレベルの基準信号の偏差が算出され、利得調整手段がこの偏差電圧に応じてA/D変換器に印加される映像信号の利息を調整する。この映像信号の自動利得調整回路は、サンプルホールド回路を用いず、A/D変換器を用いてアナログ式に行われるから、ドリフトなどの影響を受けにくく、精度が高いものとなり、回路構成も小規模となる。A/D変換器における利得を実質的に調整する手段としては、可変利得制御形増幅回路の利得を上記誤差信号に基づいて調整する手段、あるいは、A/D変換器の変換用基準電圧として直接、上記誤差信号を用いる手段とがある。

【0007】

【実施例】図1に本発明の第1実施例の映像信号の自動利得調整回路を示す。この映像信号の自動利得調整回路は、サンプリング制御回路1、可変利得制御形増幅回路2、A/D変換器4、第1のレジスタ6、第2のレジスタ8、信号減算回路10、比較回路12、PNP形の第1のトランジスタ14、抵抗器16、NPN形の第2のトランジスタ20、抵抗器22、コンデンサ24、バッファ回路26、および、基準電圧発生回路28を有している。この回路構成においては、A/D変換器4以降の回路構成がデジタル回路であり、A/D変換器4でデジタル変換した後の信号は全てデジタル的に処理される。可変利得制御形増幅回路2は入力映像信号SINを増幅して、増幅アナログ映像出力信号SOUTAをA/D変換器4に出力するが、その利得は、バッファ回路26からの出力信号S26に応じて変化する。

【0008】図2に図1に示した映像信号の自動利得調整回路における信号波形図を示す。図2(A)は可変利得制御形増幅回路2に印加される入力映像信号SINで*

*あり、同期信号SYNCと輝度信号Yとを有している。同期信号SYNCは基底レベルとしての第1の基準レベルとペDESTALレベルPEDとしての第2の基準レベルとの電圧信号からなる。この同期信号SYNCの後に輝度信号Yが続く。サンプリング制御回路1は、図2

(B)、(C)に示すように、第1の基準レベルおよび第2の基準レベルの存在するタイミングに応答する第1のサンプリングタイミングt1および第1のサンプリング制御信号T1および第2のサンプリング制御信号T2を第1のレジスタ6および第2のレジスタ8に出力する。A/D変換器4は「染野・シャノンのサンプリング理論」に基づいたサンプリング周波数で可変利得制御形増幅回路2からの増幅アナログ映像出力信号SOUTAをデジタル値に変換し、デジタル映像出力信号SOUTDを出力する。第1のレジスタ6および第2のレジスタ8はA/D変換器4からのデジタル映像出力信号SOUTDをそれぞれ第1のサンプリングタイミングt1および第1のサンプリングタイミングt2で保持する。

【0009】信号減算回路10において、第2のレジスタ8において保持されている第2の基準レベルから第1のレジスタ6に保持されている第1の基準レベルを減算する。信号減算回路10において算出された基準電圧偏差(E2-E1)は基準レベル偏差信号SAとして比較回路12において、基準電圧発生回路28からの比較用基準電圧SBと比較される。

【0010】比較回路12は上記基準レベル偏差信号SAと比較用基準電圧SBと下記表1に示す判定論理にしたがって、第1の出力信号Q1および第2の出力信号Q2を出力する。

【表1】

入力 出力	Q1	Q2	14	20
A > B	H1	H1	OFF	ON
A = B	H1	Lo	OFF	OFF
A < B	Lo	Lo	ON	OFF

【0011】基準レベル偏差信号SAの電圧が比較用基準電圧SBよりも高いとき、第1の出力信号Q1および第2の出力信号Q2とはともに「ハイ」レベルとなる。その結果、PNPトランジスタである第1のトランジスタ14はターンオフされるが、NPNトランジスタである第2のトランジスタ20はターンオンされる。第1のトランジスタ14のエミッタは電源電圧V_{cc}が印加さ

れ、第2のトランジスタ20のエミッタは接地されている。基準レベル偏差信号SAの電圧が比較用基準電圧SBよりも低いとき、第1の出力信号Q1および第2の出力信号Q2とはともに「ロー」レベルとなる。その結果、第1のトランジスタ14はターンオンされるが、第2のトランジスタ20はターンオフされる。基準レベル偏差信号SAの電圧と比較用基準電圧SBとが等しいと

き、第1の出力信号Q1は「ハイ」レベル、第2の出力信号Q2は「ロー」レベルとなる。その結果、第1および第2のトランジスタ14、20はともにターンオフされる。

【0012】第1のトランジスタ14、抵抗器16、第2のトランジスタ20、抵抗器22およびコンデンサ24でチャージポンプ回路を構成している。基準レベル偏差信号SAが比較用基準電圧SBよりも高く、第1のトランジスタ14がターンオフされ、第2のトランジスタ20がターンオンされた場合、コンデンサ24に蓄積された電荷が抵抗器22および第2のトランジスタ20を介して大地に流れ、その結果、コンデンサ24の端子電圧は低下する。基準レベル偏差信号SAが比較用基準電圧SBよりも低いときは、上記と逆に、第1のトランジスタ14がターンオンされ、第2のトランジスタ20がターンオフされるから、第1のトランジスタ14および抵抗器16を介してコンデンサ24に電荷が蓄積される。基準レベル偏差信号SAと比較用基準電圧SBとが等しいときは、コンデンサ24の蓄積電荷は維持される。

【0013】バッファ回路26は上記コンデンサ24に蓄積された誤差電圧を取り出し、誤差電圧信号S26として、可変利得制御形増幅回路2に負帰還する。可変利得制御形増幅回路2はこのバッファ回路26の出力信号S26に応答して利得が調整され、入力映像信号SINを調整された利得で増幅する。上述した動作を各同期信号SYNCが存在するタイミングにおいて行う。したがって、各同期信号SYNCに続く輝度信号Yは上述のように算出された誤差信号に基づいて可変利得制御形増幅回路2において利得調整され、A/D変換器4においてデジタル信号に変換されて、デジタル映像出力信号SOUTDとして出力される。

【0014】図1に示した映像信号の自動利得調整回路は、ドリフトなどの影響をうける部分が可変利得制御形増幅回路2だけなので、精度が高く安定なデジタル映像出力信号SOUTDを提供できる。すなわち、本発明の映像信号の自動利得調整回路によれば、ビデオ信号をデジタル処理するのに最初にアナログビデオ信号をデジタル信号に変換し、このデジタル信号を直接デジタル的に監視して利得制御しているので、A/D変換器4自体のドリフトおよびその他の不安定要因が全て負帰還作用で吸収することができる。またこの映像信号の自動利得調整回路は図10に示したようなサンプルホールド回路を用いていないので回路構成が大規模にならない。

【0015】図3に本発明の第2実施例の映像信号の自動利得調整回路の構成図を示す。図3に示した映像信号の自動利得調整回路は、図1に示した映像信号の自動利得調整回路の第1のレジスタ6、第2のレジスタ8および信号減算回路10の回路構成を、第1のレジスタ6、

信号減算回路10およびレジスタ9の回路構成に変更したものである。この映像信号の自動利得調整回路においても、その動作は図2に示した信号波形図が適用される。図3に示した映像信号の自動利得調整回路において、サンプリング制御回路1から第1のサンプリングタイミングt1において第1のサンプリング制御信号T1が出力され、第1の基準レベルの電圧を保持する。信号減算回路10はA/D変換器4からのデジタル映像出力信号SOUTDと第1のレジスタ6において第1のサンプリングタイミングt1で保持した第1の基準レベルとの電圧差を算出する。サンプリング制御回路1は第1のサンプリングタイミングt2において第2のサンプリング制御信号T2をレジスタ9に出力して信号減算回路10の演算結果を保持させる。この第1のサンプリングタイミングt2において、信号減算回路10はA/D変換器4からの第2の基準レベルから第1のレジスタ6が保持している第1の基準レベルを減じているから、レジスタ9には基準電圧偏差(E2-E1)が保持される。すなわち、図3に示した第1のレジスタ6、信号減算回路10およびレジスタ9の回路構成の動作は、図1に示した第1のレジスタ6、第2のレジスタ8および信号減算回路10の回路構成の動作と実質的に同じとなる。その他の回路動作は図1に示したものと同様である。したがって、図3に示した映像信号の自動利得調整回路も図1に示した映像信号の自動利得調整回路と同様の効果を得ることができる。

【0016】図4に本発明の第3実施例の映像信号の自動利得調整回路の回路構成図を示す。図4に示した映像信号の自動利得調整回路においては、図3に示した映像信号の自動利得調整回路における第1のレジスタ6、信号減算回路10およびレジスタ9の回路構成を、第1のレジスタ6、信号減算回路10、および、比較回路12の後段に設けた第1のレジスタ30および第2のレジスタ32からなる回路構成としたものである。サンプリング制御回路1は第1のサンプリングタイミングt1において第1のサンプリング制御信号T1を第1のレジスタ6に出力し、第1のサンプリングタイミングt2において第2のサンプリング制御信号T2を第1のレジスタ30および第2のレジスタ32に出力する。図3に示した回路構成と比較すると、図4に示した回路構成は基準レベル偏差信号SAを比較回路12の前で算出するか、比較回路12の後段で算出するかの違いだけであり、その他の動作は図3に示した映像信号の自動利得調整回路と同様となる。

【0017】上述した図1、図3および図4に示した映像信号の自動利得調整回路において、基準レベル偏差信号SAと比較用基準電圧SBとの誤差電圧を、1対1の回路構成のチャージポンプ回路を駆動している。しかしながら、チャージポンプ回路および可変利得制御形増幅回路2の帰還利得が大きすぎると、誤差修正が大きすぎ

て、いわゆるハンチング状態が生じて収束しない事態が発生する場合がある。本発明において目的とする誤差の帰還利得は、望ましくは、A/D変換器4の1ビット以内であることを意図している。

【0018】かかる目的を達成する好適回路構成を図5に示す。図5に示した回路構成は、図1および図3における比較回路12、第1のトランジスタ14、抵抗器15A、抵抗器16、第2のトランジスタ20、抵抗器15B、抵抗器22、コンデンサ24およびバッファ回路26に相当する回路構成を示す。この回路構成において、比較回路12に代えて比較回路13、抵抗器15Aに代えて抵抗器群151~153、第1のトランジスタ14に代えて第1のトランジスタ群141~143、抵抗器16に代えて第1の抵抗器群161~163、抵抗

器15Bに代えて第2の抵抗器群155~157、第2のトランジスタ20に代えて第2のトランジスタ群201~203、第2の抵抗器22に代えて第2の抵抗器群221~223を用いて、さらに共通抵抗器154を設けている。この回路構成においては、比較回路13における基準レベル偏差信号SAと比較用基準電圧SBとの比較を表2に示すように、多段レベルで行い、その結果をそれぞれの出力信号Q1、Q3、Q5、Q6、Q4、Q2として出力する。これらの出力信号Q1、Q3、Q5、Q6、Q4、Q2の論理状態によって、トランジスタ141~143、201~203の駆動状態が決まる。

【表2】

	9	10											
	A-B	Q1	Q2	Q3	Q4	Q5	Q6	141	201	142	202	143	203
A > B	≥ 7	H1	H1	H1	H1	H1	H1	OFF	ON	OFF	ON	OFF	ON
	6	H1	Lo	H1	H1	H1	H1	OFF	OFF	OFF	ON	OFF	ON
	5	H1	H1	H1	Lo	H1	H1	OFF	ON	OFF	OFF	OFF	ON
	4	H1	Lo	H1	Lo	H1	H1	OFF	OFF	OFF	OFF	OFF	ON
	3	H1	H1	H1	H1	H1	Lo	OFF	ON	OFF	ON	OFF	OFF
	2	H1	Lo	H1	H1	H1	Lo	OFF	OFF	OFF	ON	OFF	OFF
	1	H1	H1	H1	Lo	H1	Lo	OFF	ON	OFF	OFF	OFF	OFF
A = B	0	H1	Lo	H1	Lo	H1	Lo	OFF	OFF	OFF	OFF	OFF	OFF
	-1	Lo	Lo	H1	Lo	H1	Lo	ON	OFF	OFF	OFF	OFF	OFF
	-2	H1	Lo	Lo	Lo	H1	Lo	OFF	OFF	ON	OFF	OFF	OFF
	-3	Lo	Lo	Lo	Lo	H1	Lo	ON	OFF	ON	OFF	OFF	OFF
	-4	H1	Lo	H1	Lo	Lo	Lo	OFF	OFF	OFF	OFF	ON	OFF
	-5	Lo	Lo	H1	Lo	Lo	Lo	ON	OFF	OFF	OFF	ON	OFF
	-6	H1	Lo	Lo	Lo	Lo	Lo	OFF	OFF	ON	OFF	ON	OFF
	≤ -7	Lo	Lo	Lo	Lo	Lo	Lo	ON	OFF	ON	OFF	ON	OFF

【0019】第1の抵抗器群151～153の抵抗値のそれぞれと第2の抵抗器群157、156、155の抵抗値のそれぞれとは対応しているが、これらの抵抗値は異なり重みづけがされている。したがって、ターンオンされるトランジスタに接続される抵抗器とコンデンサ24とで規定されるそれぞれ異なる時定数によってコンデンサ24からの電荷の充放電時間が決定される。基準レベル偏差信号SAと比較用基準電圧SBとの誤差電圧が小さいときは充電時間または放電時間は長く、誤差電圧が大きいときは充放電時間は短い。その結果、誤差電圧に応じて最適な追従性が確保され、誤差の帰還利得が改

善されA/D変換器4の1ビット以内にすることができ

る。
【0020】図5に示した回路構成は、図4に示した映像信号の自動利得調整回路にも適用できる。この場合、第1のレジスタ30および第2のレジスタ32の配置を考慮するだけでよい。

【0021】以上の実施例においては、バッファ回路26からの基準レベル偏差信号SAと比較用基準電圧SBとの誤差電圧信号S26を可変利得制御増幅回路2に負帰還している回路構成について示したが、A/D変換器に直接負帰還をかけてもよい。図6は本発明の第4実

施例の映像信号の自動利得調整回路を示すもので、この回路構成においては、図1に示した可変利得制御増幅回路2に代えて固定利得増幅回路3を用い、A/D変換器4にバッファ回路26からの誤差電圧信号S26をA/D変換用基準電圧として入力している。この回路構成においては、可変利得制御増幅回路2に代えて安定度が高く低価格で回路構成がより簡単化した固定利得増幅回路3を用いることができるという利点がある。

【0022】ビデオ信号のA/D変換においては、その同期信号SYNC部分をA/D変換器のダイナミックレンジに含めない場合もあるが、ハイビジョンTV信号では輝度信号Y、第1の色差信号P、および第2の色差信号P_a、あるいは、三原色信号共に、スタジオ規格によれば、図7に示すような3値同期信号SYNCが付加された信号波形となる。この信号波形において、上記第1の基準レベルで示した基底部分をA/D変換器4のダイナミックレンジに含めないでも、ベデスタルレベルPEDおよび上部電圧レベルがA/D変換器4のダイナミックレンジの範囲内であり、同期レベルをデジタル的に検出できる。かかる観点から本発明の映像信号の自動利得調整回路はハイビジョンTV信号のA/D変換にとくに好適である。

【0023】またNSTC方式、PAL方式などの標準TV信号をA/D変換するとき、その同期信号部分をA/D変換器のダイナミックレンジに含めないことがある。この場合、本来のデジタル同期振幅測定が行えないので、図8に示す回路構成をとる。図9にその動作タイミング図を示す信号波形図を示す。図8に示す映像信号の自動利得調整回路は、固定利得増幅回路3、クランプ回路40、スイッチ回路42、第1のクランプ電圧C_{L1}を出力する第1のクランプ電源44、第2のクランプ電圧C_{L2}を出力する第2のクランプ電源46、バッファ回路48、A/D変換器4、第1の遅延形フリップフロップ6A、信号減算回路10、第2の遅延形フリップフロップ8Aを有している。さらに映像信号の自動利得調整回路は、比較回路12、第1のトランジスタ14、抵抗器16、第2のトランジスタ20、抵抗器22、コンデンサ24、バッファ回路26および基準電圧発生回路28を有している。さらに映像信号の自動利得調整回路は、マルチプレクサ回路50を有している。図8に実線で示した回路構成はバッファ回路26からの誤差信号S26をA/D変換器4の基準電圧として用いる回路を示しており、破線は固定利得増幅回路3に代えて可変利得制御増幅回路2を用いて、その利得を誤差信号S26で制御する回路を示している。

【0024】図8に示した映像信号の自動利得調整回路は、ビデオ信号の有効期間は正規レベルにクランプし、ブランキング期間は同期部分がA/D変換器4のダイナミックレンジRANGEに含まれるように、クランプレベルを制御する回路構成となっている。ブランキング期

間中に同期振幅レベルの測定をデジタル的に上述したように、第1のサンプリング制御信号TAおよび第2のサンプリング制御信号TBを出力するサンプリング制御回路1B、第1の遅延形フリップフロップ6A、信号減算回路10、第2の遅延形フリップフロップ8A、比較回路12、第1のトランジスタ14、抵抗器16、第2のトランジスタ20、抵抗器22、コンデンサ24、バッファ回路26、および、基準電圧発生回路28で行ない、その検出誤差信号をA/D変換器4または可変利得制御増幅回路2に負帰還する。また有効期間は、A/D変換器4からのデジタル変換信号を、ブランキング期間は戦記クランプレベルにクランプしたときの値にマルチプレクサ回路50にて置き換える。マルチプレクサ回路50にはA/D変換器4からのデジタル変換信号S4とブランキングデータBLKNGとが入力されており、サンプリング制御回路1Bからのマルチプレキシング制御信号MUXに応じて選択出力される。サンプリング制御回路1Bは上記第1のサンプリング制御信号TAおよび第2のサンプリング制御信号TBの出力の他、ブランキング期間、マルチプレクサ回路50を選択駆動するマルチプレキシング制御信号MUX、スイッチ回路42に第1のクランプ電圧C_{L1}と第2のクランプ電圧C_{L2}との選択切換を行うためのスイッチング駆動信号SWをスイッチ回路42に出力する。

【0025】なお、図8に示した回路において、マルチプレクサ回路50に代えて、A/D変換器4の出力信号を保持するレジスタを設け、有効期間にはそのレジスタにクロックを供給してA/D変換器4の出力をレジスタを介して出力し、ブランキング期間中はレジスタへのクロックの供給を停止して有効期間の最後に出力したブランキングデータBLKNGを保持し、有効期間に再びそのレジスタにクロックを供給するように構成することもできる。

【0026】以上本発明の映像信号の自動利得調整回路の実施例について述べたが、本発明の映像信号の自動利得調整回路は上述した回路構成に限定されるものではない。

【0027】

【発明の効果】以上述べたように、本発明の映像信号の自動利得調整回路によれば、簡単な回路構成で、ドリフトおよび外部信号レジスタと内部信号レジスタとに差異が生じてもその影響を受けず、精度が高く、安定に映像信号の自動利得調整を行うことができる。

【図面の簡単な説明】

【図1】本発明の映像信号の自動利得調整回路の第1実施例の回路構成図である。

【図2】図1に示した映像信号の自動利得調整回路における信号波形図であって、2値同期信号を含む映像信号についての処理動作を示す波形図である。

【図3】本発明の映像信号の自動利得調整回路の第2実

施例の回路構成図である。

【図4】本発明の映像信号の自動利得調整回路の第3実施例の回路構成図である。

【図5】図1、図3および図4に示した映像信号の自動利得調整回路の部分回路の変形形態を示す回路構成図である。

【図6】本発明の映像信号の自動利得調整回路の第4実施例の回路構成図である。

【図7】本発明の映像信号の自動利得調整回路において処理される映像信号の波形図であって、3値同期信号部分を含む映像信号の波形図である。

【図8】本発明の映像信号の自動利得調整回路の第5実施例の回路構成図である。

【図9】図8に示した映像信号の自動利得調整回路における信号波形図であって標準のTV信号についての信号処理を示す波形図である。

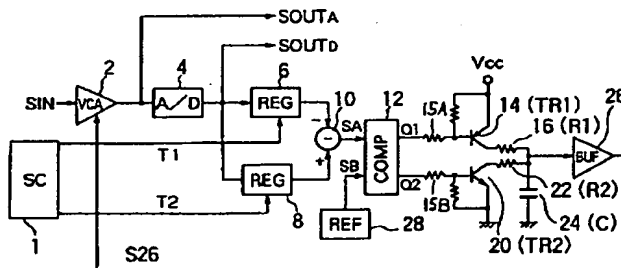
【図10】従来の映像信号の自動利得調整回路の回路構成図である。

【図11】図10に示した映像信号の自動利得調整回路における信号波形図である。

*【符号の説明】

- 1・・・サンプリング制御回路、2・・・可変利得制御増幅回路、
3・・・固定利得増幅回路、4・・・A/D変換器、
6・・・第1のレジスタ、8・・・第2のレジスタ、9・・・レジスタ、
10・・・信号減算回路、12、13・・・比較回路、
14、20・・・トランジスタ、16、22・・・抵抗器、
24・・・コンデンサ、26・・・バッファ回路、28・・・基準電圧発生回路
30、32・・・レジスタ、40・・・クランプ回路、42・・・スイッチ回路
44、46・・・クランプ電源、48・・・バッファ回路、
50・・・マルチプレクサ回路、6A・・・第1の遅延形フリップフロップ、
8A・・・第2の遅延形フリップフロップ、
SIN・・・入力映像信号
SA・・・基準レベル偏差信号
SB・・・比較用基準電圧
S26・・・誤差電圧信号。

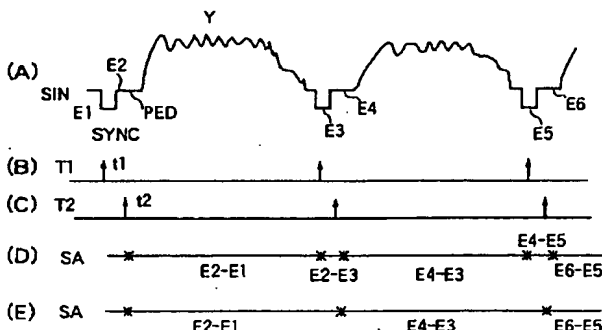
【図1】



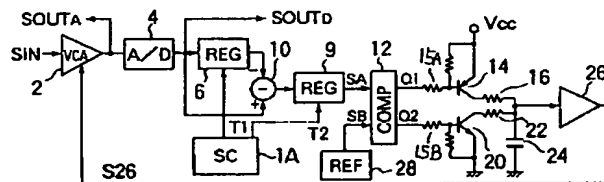
【図7】



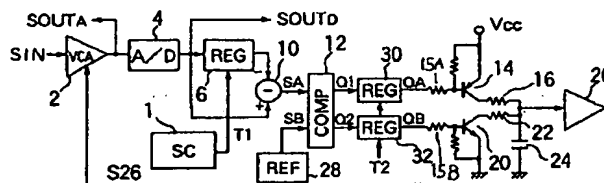
【図2】



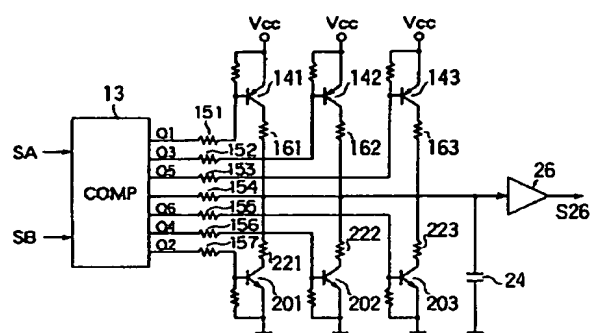
【図3】



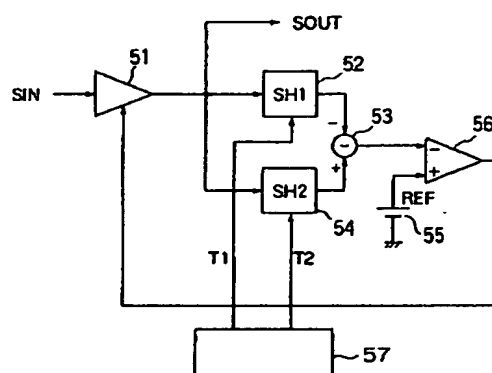
【図4】



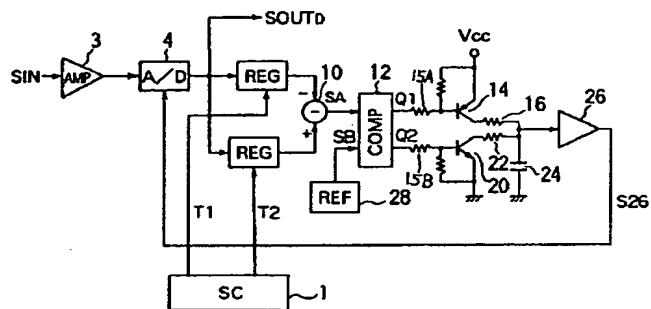
【図5】



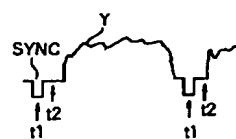
【図10】



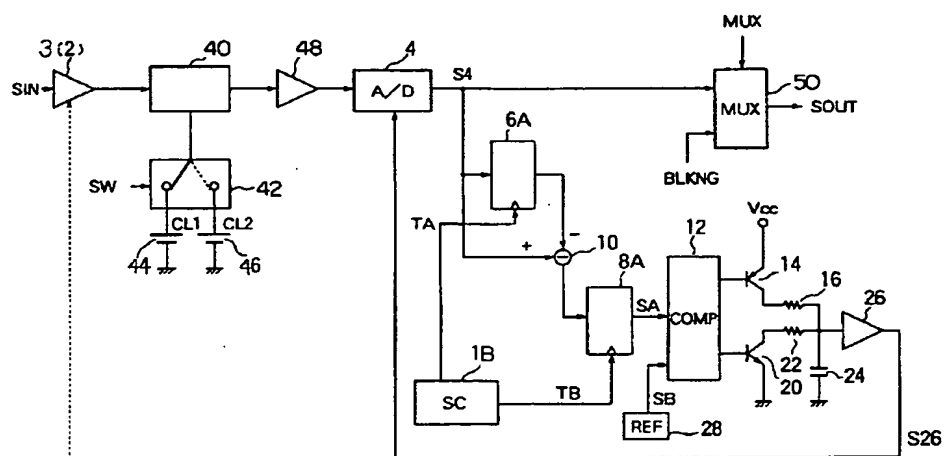
【図6】



【図11】



【図8】



【図9】

